

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-60445
(P2003-60445A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl.⁷
H03F 1/32

識別記号

F I
H03F 1/32

テマコード (参考)
5J090

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願2001-247752(P2001-247752)

(22) 出願日 平成13年8月17日 (2001.8.17)

(71) 出願人 399004577
株式会社ワイ・アール・ピー高機能移動体
通信研究所
東京都日野市旭が丘三丁目1番1
(72) 発明者 北村 圭一
神奈川県横須賀市光の丘3番2号 株式会
社ワイ・アール・ピー高機能移動体通信研
究所内
(74) 代理人 100102635
弁理士 浅見 保男 (外3名)

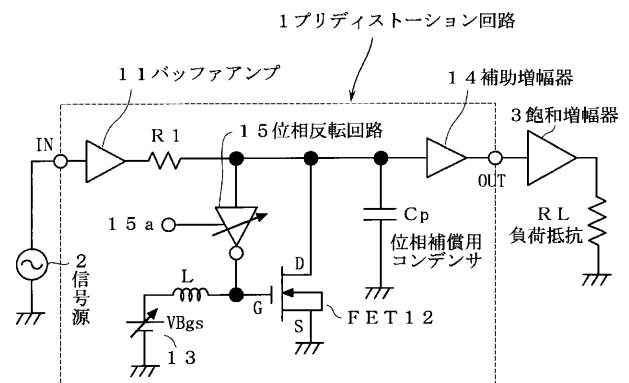
最終頁に続く

(54) 【発明の名称】 プリディストーション回路

(57) 【要約】

【課題】 損失変動幅を拡大する。

【解決手段】 バッファアンプ 1 1 に後置して抵抗 R 1 を接続する。出力端子 O U T には、信号源 2 の内部抵抗 R s と抵抗 R 1 との和に対する F E T 1 2 の微分抵抗の比で出力が現れるようになる。微分抵抗は入力の振幅が大きくなると増大するようになることから、プリディストーション回路 1 の損失変動幅を抵抗 R 1 の値の設定により拡大できるようになる。



【特許請求の範囲】

【請求項1】 増幅器の非線形特性を補償するために該増幅器に前置して設けられるプリディストーション回路であって、

入力端子と出力端子間に接続された損失変動幅拡大用の抵抗素子と、

該抵抗素子と前記出力端子間とを結ぶラインとアース間に接続された能動素子と、

該能動素子の制御電極に所定のバイアス電圧を与えるバイアス電圧源と、

を少なくとも備えていることを特徴とするプリディストーション回路。

【請求項2】 前記能動素子と並列に接続されている位相補償用コンデンサと、

前記入力端子から入力された入力信号の位相を反転して前記能動素子の制御電極に印加する位相反転回路とを、

さらに備えていることを特徴とする請求項1記載のプリディストーション回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、非線形特性を有する増幅器を補償するためのプリディストーション回路に関する。

【0002】

【従来の技術】無線機器や映像機器における送信機の最終段とされる高周波信号の電力増幅器に非線形特性が生じていると、複数の周波数の異なるキャリア信号を増幅する際に相互変調(Inter Modulation)が生じるようになる。例えば、電力増幅器に入力される第1のキャリア信号の周波数を f_1 とし、第2のキャリア信号の周波数を f_2 (ただし、 $f_2 > f_1$)とした際に相互変調が生じると、周波数が $(2f_2 - f_1)$ および $(2f_1 - f_2)$ とされる3次相互変調歪成分や、周波数が $(3f_2 - 2f_1)$ および $(3f_1 - 2f_2)$ とされる5次相互変調歪成分が生じるようになる。このように、相互変調が生じると、多くのスプリアスが発生し、隣接するチャンネルに妨害を与えるようになる。そこで、電力増幅器には、3次相互変調歪成分のキャリア信号に対する抑圧量(IM3)および5次相互変調歪成分のキャリア信号に対する抑圧量(IM5)が規定されており、規定されている所定量以上の大きな抑圧量とできる増幅特性が求められている。ただし、5次相互変調歪成分は3次相互変調歪成分に比べて小さな電力のスプリアスとされることから、現実的には3次相互変調歪成分の電力を所定値以下とすればよいことになる。

【0003】ところで、最近の業務用移動通信システムにおいては、音声と共に高速なデータ伝送を実現するために振幅変動が大きい16QAM等の多値変調やマルチキャリア方式の導入が考えられている。このため、基地局用電力増幅器には高出力かつ高効率な特性に加えて高

い線形性が求められている。しかしながら、電力増幅器としては、電力効率の点から一般に非線形特性を有している飽和増幅器が用いられている。飽和増幅器では、その非線形性から十分な線形性を確保することができない。そこで、飽和増幅器を用いても非線形特性により生じる3次相互変調歪成分を所定値以下として高い線形性が得られるように、電力増幅器に前置して電力増幅器の非線形と逆の非線形を有するプリディストーション回路を設けることが提案されている。

10 【0004】

【発明が解決しようとする課題】プリディストーション回路の一例として、本出願人が特願2000-225247において提案しているプリディストーション回路を図8に示す。図8に示すプリディストーション回路100の入力端子INには、信号源102から入力信号が入力されており、プリディストーション回路100の出力端子OUTには飽和増幅器103が後置接続されている。この飽和増幅器103の出力は負荷抵抗RLに供給されている。そして、プリディストーション回路100を前置することにより、信号源102からの入力信号に対する飽和特性を有する飽和増幅器103の出力信号の入力・出力特性がほぼ線形とされて、3次相互変調歪成分のキャリア信号に対する抑圧量(IM3)を十分な抑圧量とすることができるようになる。

20

30

40

50

【0005】このプリディストーション回路100は、利得がほぼ0dBとされるバッファアンプ111と、バッファアンプ111に後置接続された補助増幅器114を備えている。このバッファアンプ111の出力は補助増幅器114に入力されるが、その出力が伝達されるラインとアース間に電界効果トランジスタ(FET)112が接続されている。このFET112は、出力電極であるドレイン電極Dが上記ラインに接続され、共通電極であるソース電極Sがアースに接続されている。さらに、制御電極であるゲート電極Gにはバイアス電圧源113からのバイアス電圧V_{BGS}がチョークコイルLを介して供給されている。さらに、ゲート電極Gにはバッファアンプ111の出力信号が位相反転回路115で位相反転されて供給されている。なお、チョークコイルLは位相反転回路115の出力がバイアス電圧源113で減衰しないようにするためのものであり、チョークコイルLにおいては位相反転回路115からの出力信号に対するインピーダンスが高くなるようにされている。

【0006】一般に、電界効果トランジスタにおいてドレイン・ソース間電圧V_{ds}を変化させた時に、図10に一例を示すようにドレイン電流I_{ds}の変化は非線形特性となる。すなわち、ドレイン・ソース間電圧V_{ds}に対するドレイン・ソース間の微分抵抗R_{ds}は非線形に変化するようになる。この微分抵抗R_{ds}の非線形特性は、ゲート電極に印加されるバイアス電圧V_{BGS}および位相反転回路115が出力する出力信号電圧との和

であるゲート・ソース間電圧 V_{gs} により変化するようになる(図10参照)。図8に示すプリディストーション回路100は、この微分抵抗 R_{ds} の非線形特性を利用して後置される飽和増幅器103の振幅の非線形特性を補償するようにしている。なお、位相反転回路115は利得可変増幅器により構成されており、利得制御端子115aに印加される制御信号に応じて利得を可変できるようにされている。なお、位相反転回路115の利得を可変することにより、図10に示すように振幅および位相の補償量を調整することができる。また、FET112に並列に位相補償用コンデンサ C_p が接続されている。この位相補償用コンデンサ C_p を、上記したFET112における非線形特性を有するドレイン・ソース間の微分抵抗 R_{ds} に並列接続することにより、プリディストーション回路100に後置される飽和増幅器103の位相の非線形特性を補償するようにしている。

$$G = Z_p / (R_s + Z_p)$$

ただし、(3)式においてインピーダンス Z_p は次式で

$$Z_p = 1 / \{ (1/R_{ds}) + j C_p + (1/R_L) \}$$

なお、 R_{ds} はFET112のドレイン・ソース間の微分抵抗であり、交流抵抗である。

【0008】FET112のドレイン・ソース間の微分抵抗 R_{ds} は、ドレイン・ソース間電圧 V_{ds} であるバッファアンプ111から出力される信号の電圧レベルに応じて、上述したように非線形に変化するようになる。さらに、位相反転回路115により位相反転された入力信号がFET112のゲート電極Gに印加されることによっても微分抵抗 R_{ds} は変化ようになる。この場合、FET112のゲート電極Gに印加される入力信号が位相反転回路115により位相反転されているので、バッファアンプ111から出力される信号が正の方向に増加する際には、位相反転回路115から出力される信号は負の方向に増加するようになる。すなわち、ドレイン・ソース間電圧 V_{ds} が増加する際に、ゲート・ソース間電圧 V_{gs} は減少するようになる。そして、FET112のドレイン・ソース間の微分抵抗 R_{ds} は、ドレイン・ソース間電圧 V_{ds} が増加すると大きくなると共に、ゲート・ソース間電圧 V_{gs} が減少しても大きくなる。このことから、信号源102の入力信号が大きくなると、ドレイン・ソース間電圧 V_{ds} が増大およびゲート・ソース間電圧 V_{gs} の減少により、微分抵抗 R_{ds} の変化が増大するようになる。

【0009】例えば、位相反転回路115の利得が小さく設定されており、FET112のドレイン・ソース間電圧 V_{ds} が図10に示すように電圧 V_s であった際に、ゲート・ソース間電圧 V_{gs} が図10に示す V_{gs3} になっていたとする。そして、入力信号レベルが増加してFET112のドレイン・ソース間電圧 V_{ds} が電圧 V_s から電圧 V_L になると、ゲート・ソース間電圧 V_{gs} が図10に示すように「位相反転回路の利得小」の

*【0007】上記プリディストーション回路100の等価回路を図9に示す。この等価回路では、プリディストーション回路100におけるFET112は入出力間に並列接続されたドレイン・ソース間の微分抵抗 R_{ds} として示されている。ただし、バッファアンプ111の入出力インピーダンスは、入力側および出力側に整合されて後述する伝達特性に影響を与えないためバッファアンプ111を省略して示している。なお、信号源102の内部インピーダンスは R_s で表され、この内部インピーダンス R_s は例えば50とされている。さらに、補助増幅器114の入力インピーダンスは R_L に整合されており、その入力インピーダンス R_L は例えば50とされている。ここで、微分抵抗 R_{ds} 、位相補償用コンデンサ C_p 、入力インピーダンス R_L を並列接続した並列インピーダンスを Z_p とすると、プリディストーション回路100の入出力伝達特性 G は、次式で示される。

$$(3)$$

示される。

$$(4)$$

負荷線に沿って移動し、電圧 V_{gs3} から電圧 V_{gs2} に減少するようになる。これにより、微分抵抗 R_{ds3} が微分抵抗 R_{ds2} になり、微分抵抗は増大するようになる。このように入力信号のレベルに応じて微分抵抗 R_{ds} が大きく変化するようになるため、飽和増幅器103の飽和領域での大きな利得圧縮、および、位相進みを補償することができるようになる。なお、図10に示すようにこの補償量は位相反転回路115の利得に応じて調整することができる。上記の説明は、位相反転回路115の利得が小さく設定された場合を説明したが、位相反転回路115の利得を大きく設定すると、図10に示す「位相反転回路の利得大」の負荷線に沿ってゲート・ソース間電圧 V_{gs} が移動し、より微分抵抗 R_{ds} の変化分は増大するようになる。すなわち、位相反転回路115の利得を大きくするに従って、歪補償量を大きくすることができるようになる。

【0010】なお、プリディストーション回路100の損失が最も小さくなるのは信号源102からの入力信号レベルが大きく微分抵抗 R_{ds} が最大になった場合であり、信号源102からの入力信号レベルがほぼゼロとされた際に微分抵抗 R_{ds} は最も小さくなって、プリディストーション回路100の損失は最大となる。この損失を補助するために補助増幅器114が設けられており、補助増幅器114の利得は、例えば15dBないし20dBとされる。

【0011】このように、信号源102からの入力信号の振幅が大きくなると、プリディストーション回路100の損失が減少するので、より大きなレベルの入力信号が飽和増幅器103に入力されるようになる。このため、飽和特性とされた飽和増幅器103の非線形特性が、プリディストーション回路100の非線形特性で補

償されて出力レベルはほぼ線形となる。すなわち、飽和増幅器 103 の非線形特性とプリディストーション回路 100 の非線形特性がほぼ逆特性とされるので、プリディストーション回路 100 を前置した飽和増幅器 103 の総合特性がほぼ線形となるのである。

【0012】しかしながら、飽和増幅器が線形領域で動作する場合は、その利得は十分な利得が得られるが、飽和領域で動作する場合には、その飽和特性によっては利得が大幅に減少するようになる。すなわち、飽和増幅器によっては利得減少幅が大きくなっていることがある。この場合、このような飽和増幅器に図 8 に示すプリディストーション回路 100 を前置しても、プリディストーション回路 100 における損失変動幅を設定することができないことから、飽和増幅器における利得減少を十分補償することができないという問題点があった。

【0013】そこで、本発明は、損失変動幅を設定により拡大することのできるプリディストーション回路を提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的を達成するために本発明のプリディストーション回路は、増幅器の非線形特性を補償するために該増幅器に前置して設けられるプリディストーション回路であって、入力端子と出力端子間に接続された損失変動幅拡大用の抵抗素子と、該抵抗素子と前記出力端子間とを結ぶラインとアース間に接続された能動素子と、該能動素子の制御電極に所定のバイアス電圧を与えるバイアス電圧源とを少なくとも備えている。また、上記本発明のプリディストーション回路において、前記能動素子と並列に接続されている位相補償用コンデンサと、前記入力端子から入力された入力信号の位相を反転して前記能動素子の制御電極に印加する位相反転回路とを、さらに備えるようにしてもよい。

【0015】このような本発明によれば、入力端子と出力端子間に抵抗素子を接続し、この抵抗素子と出力端子間とを結ぶラインとアース間に能動素子を接続するようにしたので、設定された抵抗素子の値と能動素子の非線形特性とを利用して損失変動幅を拡大することができるようになる。これにより、飽和増幅器における利得減少幅が大きくされていても、その利得減少を十分補償することができるようになる。また、能動素子と並列に接続された位相補償用コンデンサにより位相の補償を行えるようになる。さらに、能動素子の制御電極に位相反転した入力信号を印加するようにしているので、微分抵抗の変化を大きくすることができ、ドレイン・ソース間電圧が大きい領域においてドレイン電流が一定とならない能動素子を用いても、飽和増幅器の飽和領域での大きな利得圧縮および位相を補償することができるようになる。

【0016】

【発明の実施の形態】本発明の実施の形態におけるプリディストーション回路の回路構成を図 1 に示す。図 1 に

示す第 1 のプリディストーション回路 1 の入力端子 IN には、信号源 2 から入力信号が入力されており、プリディストーション回路 1 の出力端子 OUT には飽和増幅器 3 が後置接続されている。この飽和増幅器 3 の出力は負荷抵抗 RL に供給されるが、飽和増幅器 3 が送信機の最終段とされる場合は負荷抵抗 RL はアンテナ系となる。アンテナ系は、一般に整合回路とアンテナから構成されている。そして、プリディストーション回路 1 を前置することにより、信号源 2 からの入力信号に対する飽和特性を有する飽和増幅器 3 の出力信号の入力・出力特性がほぼ線形とされて、3 次相互変調歪成分のキャリア信号に対する抑圧量 (IM3) を十分な抑圧量とすることができるようになる。

【0017】このプリディストーション回路 1 においては、利得がほぼ 0 dB とされるバッファアンプ 11 と、任意に値を設定することのできる損失変動幅拡大用の抵抗 R1 と、バッファアンプ 11 に後置接続された損失補償用の補助増幅器 14 とが縦続接続されている。この損失変動幅拡大用の抵抗 R1 が備えられている構成が本発明における特徴的な構成とされている。バッファアンプ 11 と補助増幅器 14 の入力インピーダンスは、その入力側のインピーダンスに整合していると共に、出力インピーダンスはその出力側のインピーダンスに整合するようにされている。そして、バッファアンプ 11 の出力は抵抗 R1 を介して補助増幅器 14 に入力されるが、抵抗 R1 と補助増幅器 14 を接続しているラインとアース間に電界効果トランジスタ (FET) 12 が接続されている。

【0018】この FET 12 は、例えば N チャンネル MOS (Metal Oxide Semiconductor) 型 FET (N-MOSFET) とされており、出力電極であるドレイン電極 D が上記ラインに接続され、共通電極であるソース電極 S がアースに接続されている。さらに、制御電極であるゲート電極 G にはバイアス電圧源 13 からのバイアス電圧 V_{Bgs} がチョークコイル L を介して供給されている。さらに、ゲート電極 G にはバッファアンプ 11 の出力信号が抵抗 R1 を介して位相反転回路 15 で位相反転されて供給されている。なお、チョークコイル L は位相反転回路 15 の出力がバイアス電圧源 13 で減衰しないようにするためのものであり、位相反転回路 15 からの出力信号に対するチョークコイル L のインピーダンスは高くなるようにされている。なお、チョークコイル L に替えて高抵抗値の抵抗を接続するようにしてもよい。

【0019】一般に、電界効果トランジスタにおいてドレイン・ソース間電圧 V_{ds} を変化させた時に、前記図 10 に一例を示すようにドレイン電流 I_{ds} の変化は非線形特性となる。すなわち、ドレイン・ソース間電圧 V_{ds} に対するドレイン・ソース間の微分抵抗 R_{ds} は非線形に変化するようになる。この微分抵抗 R_{ds} の非線形特性は、ゲート電極に印加されるバイアス電圧 V_{Bgs}

sおよび位相反転回路15が出力する出力信号電圧との和であるゲート・ソース間電圧 V_{gs} により変化ようになる(図10参照)。図1に示すプリディストーション回路1は、この微分抵抗 R_{ds} の非線形特性を利用して後置される飽和増幅器3の振幅の非線形特性を補償するようにしている。なお、位相反転回路15は利得が可変できるようにされており、利得制御端子15aに印加される制御電圧に応じて利得を可変できるようにされている。なお、後述するが、位相反転回路15の利得を可変することにより、図10に示すように振幅および位相の補償量を調整することができる。また、FET12に並列に位相補償用コンデンサ C_p が接続されている。この位相補償用コンデンサ C_p を、上記したFET12における非線形特性を有するドレイン・ソース間の微分抵抗 R_{ds} に並列接続することにより、プリディストーション回路1に後置される飽和増幅器3の位相の非線形特性を補償するようにしている。

$$G = Z_p / \{ (R_s + R_1) + Z_p \} \quad (1)$$

ただし、(1)式においてインピーダンス Z_p は次式で

$$Z_p = 1 / \{ (1/R_{ds}) + j C_p + (1/R_L) \} \quad (2)$$

なお、 R_{ds} はFET12のドレイン・ソース間の微分抵抗であり、交流抵抗である。

【0021】FET12のドレイン・ソース間の微分抵抗 R_{ds} は、ドレイン・ソース間電圧 V_{ds} であるバッファアンプ11から出力される信号の電圧レベルに応じて、上述したように非線形に変化するようになる。さらに、位相反転回路15により位相反転された入力信号がFET12のゲート電極Gに印加されることによっても微分抵抗 R_{ds} は変化ようになる。この場合、FET12のゲート電極Gに印加される入力信号が位相反転回路15により位相反転されているので、バッファアンプ11から抵抗 R_1 を介して出力される信号が正の方向に増加する際には、位相反転回路15から出力される反転信号が負の方向に増加するようになる。すなわち、ドレイン・ソース間電圧 V_{ds} が正の方向に増加する際に、ゲート・ソース間電圧 V_{gs} は負の方向に増加、すなわち減少するようになる。そして、FET12のドレイン・ソース間の微分抵抗 R_{ds} は、ドレイン・ソース間電圧 V_{ds} が増加すると大きくなると共に、ゲート・ソース間電圧 V_{gs} が減少しても大きくなる。このことから、信号源2の入力信号が大きくなると、ドレイン・ソース間電圧 V_{ds} が増大およびゲート・ソース間電圧 V_{gs} の減少により、微分抵抗 R_{ds} の変化が増大するようになる。

【0022】例えば、位相反転回路15の利得が小さく設定されており、FET12のドレイン・ソース間電圧 V_{ds} が図10に示すように電圧 V_s であった際に、ゲート・ソース間電圧 V_{gs} が図10に示す V_{gs3} になっていたとする。そして、入力信号レベルが増加してFET12のドレイン・ソース間電圧 V_{ds} が電圧 V_s か

*【0020】上記プリディストーション回路1の等価回路を図2に示す。この等価回路では、プリディストーション回路1におけるFET12は入出力間に並列接続されたドレイン・ソース間の微分抵抗 R_{ds} として示されている。ただし、バッファアンプ11の入出力インピーダンスは、入力側および出力側に整合されて後述する伝達特性に影響を与えないためバッファアンプ11を省略して示している。なお、信号源2の内部インピーダンスは R_s で表され、この内部インピーダンス R_s は例えば50とされている。さらに、補助増幅器14の入力インピーダンスは R_L に整合されており、その入力インピーダンス R_L は例えば50とされている。ここで、微分抵抗 R_{ds} 、位相補償用コンデンサ C_p 、入力インピーダンス R_L を並列接続した並列インピーダンスを Z_p とすると、プリディストーション回路1の入出力伝達特性 G は、次に示す(1)式で示される。

示される。

ら電圧 V_L になると、ゲート・ソース間電圧 V_{gs} が図10に示すように「位相反転回路の利得小」の負荷線に沿って移動し、電圧 V_{gs3} から電圧 V_{gs2} に減少するようになる。これにより、微分抵抗 R_{ds} が微分抵抗 R_{ds2} になり、微分抵抗は増大するようになる。このように入力信号のレベルに応じて微分抵抗 R_{ds} が大きく変化するようになるため、飽和増幅器3の飽和領域での大きな利得圧縮、および、位相進みを補償することができるようになる。なお、図10に示すようにこの補償量は位相反転回路15の利得に応じて調整することができる。上記の説明は、位相反転回路15の利得が小さく設定された場合を説明したが、位相反転回路15の利得を大きく設定すると、図10に示す「位相反転回路の利得大」の負荷線に沿ってゲート・ソース間電圧 V_{gs} が移動し、より微分抵抗 R_{ds} の変化分は増大するようになる。すなわち、位相反転回路15の利得を大きくするに従って、歪補償量を大きくすることができるようになる。

【0023】なお、プリディストーション回路1の損失が最も小さくなるのは信号源2からの入力信号レベルが大きく微分抵抗 R_{ds} が最大になった場合であり、信号源2からの入力信号レベルがほぼゼロとされた際に微分抵抗 R_{ds} は最も小さくなって、プリディストーション回路1の損失は最大となる。この損失を補助するのが補助増幅器14であり、補助増幅器14の利得は、例えば15dBないし20dBとされる。

【0024】このように、信号源2からの入力信号の振幅が大きくなると、プリディストーション回路1の損失が減少するので、より大きなレベルの入力信号が飽和増幅器3に入力されるようになる。このため、飽和特性と

された飽和増幅器 3 の非線形特性が、プリディストーション回路 1 の非線形特性で補償されて入力対出力レベル特性がほぼ線形となる。すなわち、飽和増幅器 3 の非線形特性とプリディストーション回路 1 の非線形特性が逆特性とされるので、プリディストーション回路 1 を前置した飽和増幅器 3 の総合特性がほぼ線形となるのである。

【0025】次に、プリディストーション回路 1 における等価回路において、各枝路の電流および電圧のベクトル図を参照することにより、位相補償用コンデンサ C_p により位相の補償を行える原理を説明する。図 3 (a) に示すプリディストーション回路 1 の等価回路において、信号源 2 からの入力信号電圧 V_{in} に対する出力信号電圧 V_{out} の位相関係が、図 3 (b) (c) にベクトル図で示されている。ただし、電流 I_t は信号源 2 から供給される電流であり、電流 I_r は並列接続された微分抵抗 R_{ds} と補助増幅器 14 の入力インピーダンス R_L に分流する電流であり、電流 I_c は位相補償用コンデンサ C_p に分流する電流である。また、電圧 V_{rs} は信号源 2 の内部抵抗 R_s と抵抗 R_1 による電圧降下分の電圧である。

【0026】図 3 (b) に示すように、入力信号電圧 V_{in} は、内部抵抗 R_s と抵抗 R_1 による電圧降下 V_{rs} と出力信号電圧 V_{out} とに分圧される。ところで、電流 I_c はコンデンサに流れる電流であることから抵抗に流れる電流 I_r より 90° 位相が進んでおり、電流 I_t は電流 I_c と電流 I_r とをベクトル合成した電流となっている。電圧降下 V_{rs} は、内部抵抗 R_s による電圧降下のため電流 I_t と同相の電圧となり、図示するように結局のところ出力信号電圧 V_{out} は入力信号電圧 V_{in} より位相 d だけ遅れ位相となる。ここで、入力信号電圧 V_{in} のレベルが大きくなる (FET 12 のドレイン・ソース間電圧 V_{ds} が大きくなると共に、ゲート・ソース間電圧 V_{gs} が減少すると、微分抵抗 R_{ds} が微分抵抗 R_{ds}' に増大することになるので、電流 I_r は図 3 (c) に示す電流 I_r' のように減少するようになる。これにより、電流 I_c' が増大して、図 3 (c) に示すように電流 I_t' の位相はより進み位相となる。従って、電圧降下 V_{rs}' の位相もより進み位相となり、図示するように出力信号電圧 V_{out}' の位相は入力信号電圧 V_{in}' の位相より、より遅れた位相 d' の遅れ位相となる。

【0027】上述したように信号源 2 からの入力信号電圧 V_{in} のレベルが大きくなるに従って、微分抵抗 R_{ds} が増大していくようになり、出力信号電圧 V_{out} の位相はより遅れる遅れ位相となる。また、信号源 2 からの入力信号電圧 V_{in} のレベルが小さくなるに従って、微分抵抗 R_{ds} が減少していくようになり、出力信号電圧 V_{out} の位相遅れ量は小さくなっていく。このように、信号源 2 からの入力信号電圧 V_{in} のレベルに応じ

て、プリディストーション回路 1 の遅れ位相量が変化するようになる。これにより、進み位相の増幅器とされている飽和増幅器 3 の位相を補償することができるようになる。

【0028】また、FET 12 のゲート電極に印加されているバイアス電圧源 13 のバイアス電圧 V_{Bgs} を可変すると、それに応じて微分抵抗 R_{ds} が変化し、電流 I_r と電流 I_c の分流割合が変化するようになる。このように、バイアス電圧 V_{Bgs} を可変することにより入力信号電圧 V_{in} に対する出力信号電圧 V_{out} の遅れ位相量を調整することができるようになる。このように、本願発明のプリディストーション回路 1 によれば、入力信号のレベルに応じて微分抵抗 R_{ds} が大きく変化するようになるため、飽和増幅器 3 の飽和領域での大きな利得圧縮および位相進みを補償することができるようになる。

【0029】次に、損失変動幅拡大用の抵抗 R_1 の作用を説明するために、本発明にかかるプリディストーション回路 1 において入力信号の振幅が変化した場合の、プリディストーション回路 1 における損失変動幅について検討してみる。入力信号電圧 V_{in} の振幅が小さい時に、例えば、微分抵抗 R_{ds} が 10 であったとする。この際の等価回路を図 4 に示す。ただし、内部抵抗 R_s は 50 とし、抵抗 R_1 は 0 に設定されており、位相補償用コンデンサ C_p は省略して示している。この場合のプリディストーション回路 1 の入出力伝達特性 G を上記 (1) から求めると、

$$G_1 = 10 / 60$$
となる。

【0030】そして、入力信号電圧 V_{in} の振幅が大きくなり、例えば、微分抵抗 R_{ds} が増大して 50 になったとする。この際の等価回路を図 5 に示し、この場合のプリディストーション回路 1 の入出力伝達特性 G を上記 (1) から求めると、

$$G_2 = 50 / 100$$
となる。すなわち、内部抵抗 R_s と抵抗 R_1 との和が 50 の場合の損失の変動幅 G_{Δ} は、

$$G_{\Delta} = G_2 / G_1 = 3$$

となる。従って、この場合は飽和増幅器 3 において入力信号の振幅が小さい場合の利得に対して、入力信号が大きい場合の利得が $1/3$ に減少しても、その利得減少を補償することができる。

【0031】次に、抵抗 R_1 を 50 に設定して、同様にプリディストーション回路 1 の変動損失量を求めてみる。この場合、入力信号電圧 V_{in} の振幅が小さい時の等価回路は図 6 に示すようになる。すると、この場合のプリディストーション回路 1 の入出力伝達特性 G を上記 (1) から求めると、

$$G_3 = 10 / 110$$
となる。そして、入力信号電圧 V_{in} の振幅が大きくな

り、例えば、微分抵抗 R_{ds} が増大して 50 になったとする。この場合の等価回路は図 7 に示すようになり、プリディストーション回路 1 の入出力伝達特性 G を上記 (1) から求めると、

$$G_4 = 50 / 150$$

となる。すなわち、内部抵抗 R_s と抵抗 R_1 との和が 100 の場合の損失の変動幅 G_m は、

$$G_m = G_4 / G_3 = 3.67$$

と増大するようになり、内部抵抗 R_s と抵抗 R_1 との和を大きくすると損失変動幅も増加するようになる。

【0032】従って、この場合は飽和増幅器 3 において入力信号の振幅が小さい場合の利得に対して、入力信号が大きい場合の利得が $1 / 3.67$ に減少しても、その利得減少を補償することができる。上記した場合における損失変動幅の増加分を求めると、

$$G_m / G_3 = 3.67 / 3 = 1.22 \text{ 倍} = 1.7$$

3 dB

となる。このように、信号源 2 の内部抵抗 R_s に直列接続される抵抗 R_1 の値を任意に設定することにより、損失変動幅を増大することができ飽和増幅器 3 におけるより大きな利得減少を補償することができるようになる。

なお、本発明にかかるプリディストーション回路 1 は、抵抗 R_1 の値を変更することに限らず内部抵抗 R_s の値を変更するようにしても損失変動幅を変更することができ、より大きな飽和増幅器 3 の利得減少幅に対応することができるようになる。

【0033】なお、本発明の実施の形態にかかる第 1 のプリディストーション回路 1 における FET 12 としては N チャンネル MOSFET や HEMT を用いることができる。HEMT は、低雑音特性を得ることができるが図 10 に示すようにドレイン・ソース間電圧 V_{ds} が大きい領域において、ドレイン電流 I_{ds} が一定とならず、その微分抵抗 R_{ds} が無限大まで変化しないようになる。しかしながら、本発明においては、上述したように位相反転した入力信号をゲート電極に印加するようにしたので、ドレイン・ソース間電圧 V_{ds} が大きい領域において HEMT の微分抵抗を十分大きいものとすることができる。これにより、HEMT を用いても飽和増幅器 3 の飽和領域での大きな利得圧縮および位相の補償を行うことができるようになる。

【0034】また、N チャンネル MOSFET や HEMT に替えて、P チャンネル MOSFET、MIS (Metal Insulator Semiconductor) 等の絶縁ゲート型、MES (Metal Semiconductor)、SIT (Static Induction Transistor) 等のジャンクション型の電界効果トランジスタを用いるようにしてもよい。さらにまた、電界効果トランジスタに替えてバイポーラトランジスタや HBT (Heterojunction Bipolar Transistor) 等を使用してもよい。

【0035】

【発明の効果】本発明は以上説明したように、入力端子と出力端子間に抵抗素子を接続し、この抵抗素子と出力端子間とを結ぶラインとアース間に能動素子を接続するようにしたので、設定された抵抗素子の値と能動素子の非線形特性とを利用して損失変動幅を拡大することができるようになる。これにより、飽和増幅器における利得減少幅が大きくされていても、その利得減少を十分補償することができるようになる。また、能動素子に並列に接続された位相補償用コンデンサにより位相の補償を行えるようになる。さらに、能動素子の制御電極に位相反転した入力信号を印加するようになっているので、微分抵抗の変化を大きくすることができ、ドレイン・ソース間電圧が大きい領域においてドレイン電流が一定とならない能動素子を用いても、飽和増幅器の飽和領域での大きな利得圧縮および位相を補償することができるようになる。

【図面の簡単な説明】

【図 1】本発明の実施の形態におけるプリディストーション回路の回路構成を示す回路図である。

【図 2】本発明の実施の形態におけるプリディストーション回路の等価回路を示す図である。

【図 3】本発明の実施の形態のプリディストーション回路において、位相補償用コンデンサ C_p により位相の補償を行える原理を説明するための等価回路およびベクトル図である。

【図 4】本発明の実施の形態のプリディストーション回路において、第 1 の条件における入力信号の振幅が小さい場合の等価回路を示す図である。

【図 5】本発明の実施の形態のプリディストーション回路において、第 1 の条件における入力信号の振幅が大きい場合の等価回路を示す図である。

【図 6】本発明の実施の形態のプリディストーション回路において、第 2 の条件における入力信号の振幅が小さい場合の等価回路を示す図である。

【図 7】本発明の実施の形態のプリディストーション回路において、第 7 の条件における入力信号の振幅が大きい場合の等価回路を示す図である。

【図 8】本出願人により既に提案されているプリディストーション回路の例を示す図である。

【図 9】本出願人により既に提案されているプリディストーション回路の等価回路を示す図である。

【図 10】FET におけるドレイン・ソース間電圧 V_{ds} 対ドレイン電流 I_{ds} 特性の一例を示す図である。

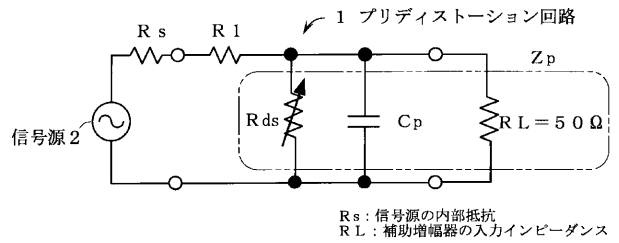
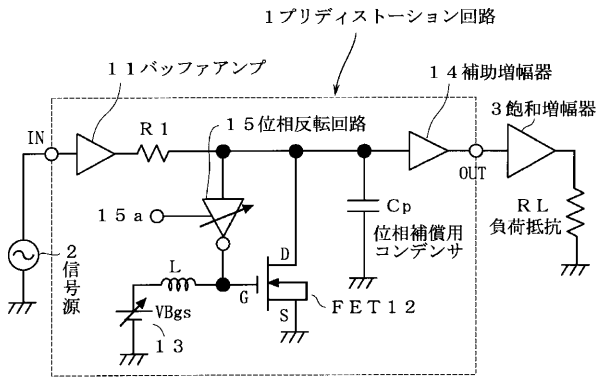
【符号の説明】

1 プリディストーション回路、2 信号源、3 飽和増幅器、11 バッファアンプ、13 バイアス電圧源、14 補助増幅器、15 位相反転回路、15a 利得制御端子、100 プリディストーション回路、102 信号源、103 飽和増幅器、111 バッファアンプ、113 バイアス電圧源、114 補助増幅器、

115 位相反転回路、115 a 利得制御端子、Cp * 力端子、R1 抵抗、RL 負荷抵抗、Rs 内部抵
位相補償用コンデンサ、IN 入力端子、OUT 出 * 抗、VBgs バイアス電圧

【図1】

【図2】



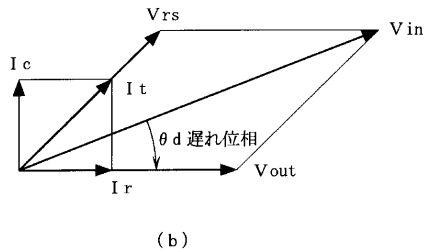
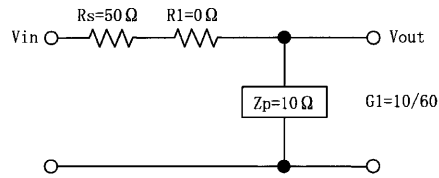
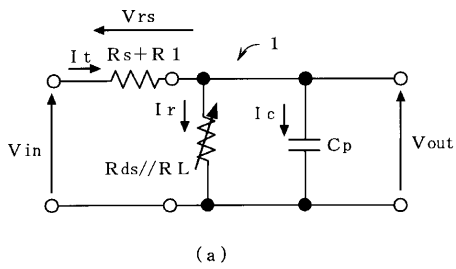
$$\text{入出力伝達特性 } G = \frac{Z_p}{(R_s + R_1) + Z_p}$$

$$\text{但し、 } Z_p = \frac{1}{\frac{1}{R_{ds}} + j\omega C_p + \frac{1}{R_L}}$$

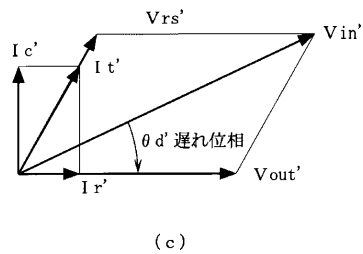
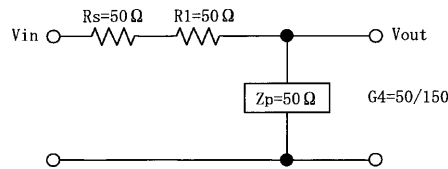
R_{ds}: FETのドレイン・ソース間微分抵抗
C_p: 位相補償用コンデンサ

【図3】

【図4】

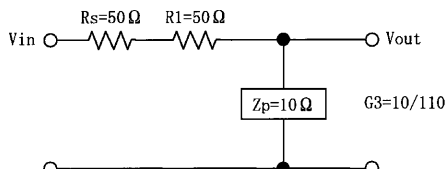
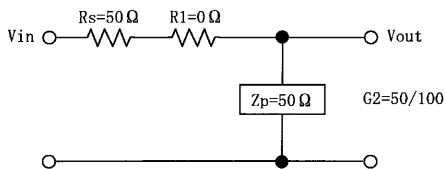


【図7】

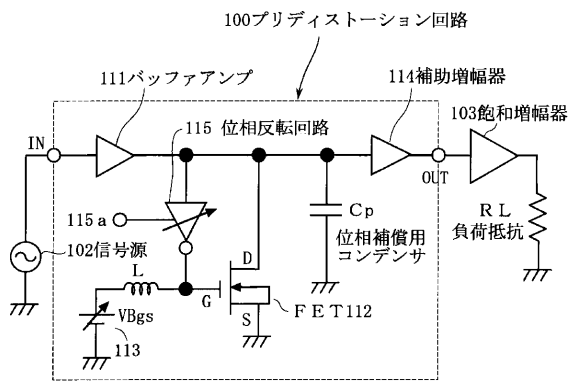


【図5】

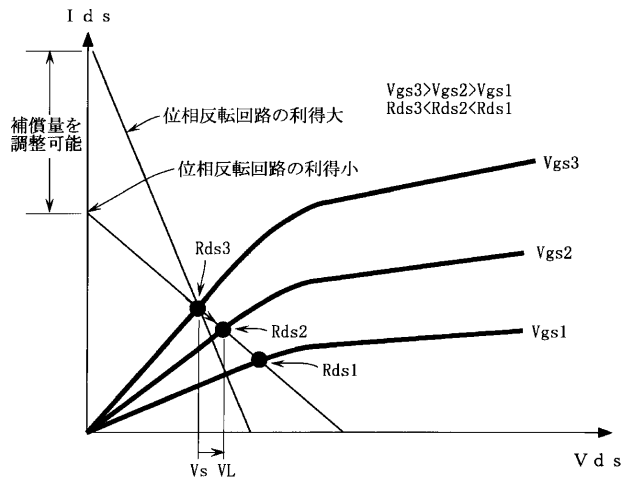
【図6】



【図8】



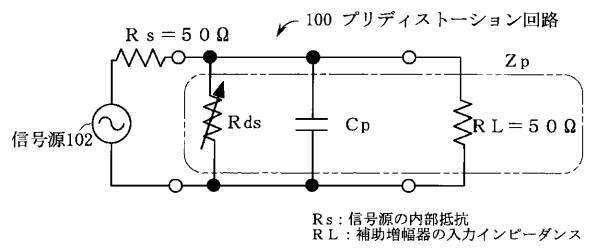
【図10】



フロントページの続き

(72)発明者 細田 隆之
 神奈川県横浜市港北区菊名7-6-3 有
 限会社ファインチューン内

【図9】



入出力伝達特性 $G = \frac{Z_p}{R_s + Z_p}$

但し、 $Z_p = \frac{1}{\frac{1}{R_{ds}} + j\omega C_p + \frac{1}{R_L}}$

Rds: FETのドレイン・ソース間微分抵抗
 Cp: 位相補償用コンデンサ

Fターム(参考) 5J090 AA01 AA41 CA21 CA35 FA10
 GN03 HA09 HA25 HA26 HA29
 HA33 KA00 KA03 KA04 KA12
 SA14 TA01 TA02